

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17563525

Basic Patent (No,Kind,Date): JP 2002009296 A2 20020111 <No. of Patents:
001>

THIN FILM TRANSISTOR ARRAY AND ITS MANUFACTURING METHOD (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): YAMAMOTO MUTSUMI; TSUTSU HIROSHI

IPC: *H01L-029/786; H01L-021/336; G02F-001/1368; G09F-009/30

CA Abstract No: 136(06)094527D

Derwent WPI Acc No: G 02-397739

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002009296	A2	20020111	JP 2000190896	A	20000626 (BASIC)

Priority Data (No,Kind,Date):

JP 2000190896	A	20000626
---------------	---	----------

BEST AVAILABLE COPY

DIALOG(R)File 347:JAP10
(c) 2004 JPO & JAP10. All rts. reserv.

07140924 **Image available**

THIN FILM TRANSISTOR ARRAY AND ITS MANUFACTURING METHOD

PUB. NO.: 2002-009296 [JP 2002009296 A]

PUBLISHED: January 11, 2002 (20020111)

INVENTOR(s): YAMAMOTO MUTSUMI
TSUTSU HIROSHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.: 2000-190896 [JP 2000190896]

FILED: June 26, 2000 (20000626)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1368; G09F-009/30

ABSTRACT

PROBLEM TO BE SOLVED: To simplify the manufacturing process without lowering its characteristics, and to realize stable LDD or an offset region with high reproducibility independently of matching accuracy of a photolithography process for refinement, of the thin film transistor.

SOLUTION: A source and drain electrodes, video signal wiring, a gate electrode and a part of scanning signal wiring connected with the gate electrode are simultaneously formed by the identical material and process, and the part of the video signal wiring where it crosses with the scanning signal wiring is formed by the identical material and process with which a pixel electrode or reflection electrode is formed. Moreover, a reaction product formed in a pattern sidewall part in self-alignment in dry etching of a metal film or a sidewall insulation film formed in self-alignment in an isotropic etching of a thick insulation film is used as a doping mask in the formation of an offset region or an LDD region.

COPYRIGHT: (C)2002, JPO

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-9296

(P 2002-9296 A)

(43)公開日 平成14年1月11日(2002.1.11)

(51) Int.Cl.⁷
H01L 29/786
21/336
G02F 1/1368
G09F 9/30
338

識別記号

F I
G09F 9/30
H01L 29/78
G02F 1/136
H01L 29/78

338 2H092
612 D 5C094
500 5F110
616 A

マークコード (参考)

審査請求 未請求 請求項の数 7 O L (全12頁)

(21)出願番号 特願2000-190896(P 2000-190896)

(22)出願日 平成12年6月26日(2000.6.26)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 瞳

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

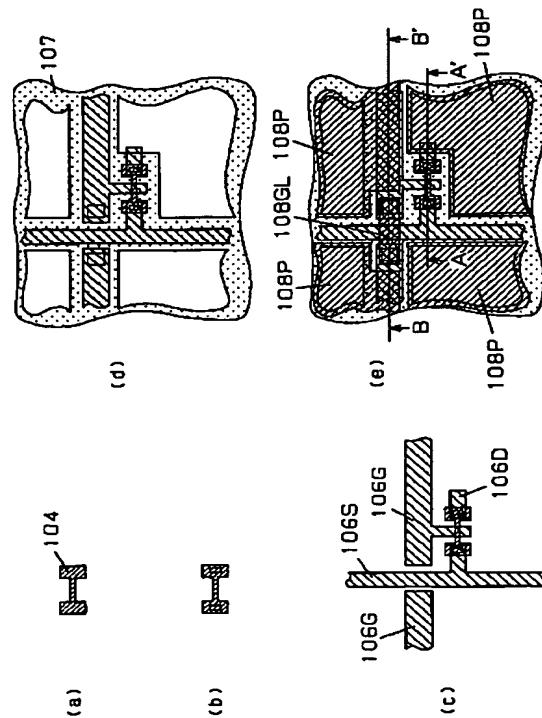
最終頁に続く

(54)【発明の名称】薄膜トランジスタアレイ及び薄膜トランジスタアレイの製造方法

(57)【要約】

【課題】 薄膜トランジスタにおいて、その特性を低下させずに工程の簡略化を図ること、微細化に対してフォトリソ工程の合わせ精度に依存せずに安定性の良いLD若しくはオフセット領域を再現性良く実現すること、が困難であった。

【解決手段】 ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部を同一の材料と工程で同時に形成し、且つ映像信号配線が走査信号配線と交差する部分の映像信号配線を、画素電極若しくは反射電極を形成する材料と同一の工程で形成する。また、オフセット領域或いはLDD領域を形成する際のドーピングマスクとして、金属膜のドライエッティング時にパターン側壁部に自己整合的に形成される反応生成物、或いは厚い絶縁膜の異方性エッティングを行った時に自己整合的に形成される側壁絶縁膜を用いる。



【特許請求の範囲】

【請求項 1】基板上に形成された、ソース・ドレイン電極と、前記ソース・ドレイン電極の何れか一方に接続する映像信号配線と、前記ソース・ドレイン電極の他方に接続する画素電極と、半導体膜と、ゲート絶縁膜と、ゲート電極と、前記ゲート電極に接続され前記映像信号配線と略直交する走査信号配線とを含む薄膜トランジスタアレイであって、前記ソース・ドレイン電極と、前記映像信号配線と、前記ゲート電極と、前記ゲート電極に接続する前記走査信号配線が同一の材料、同一のレベル構成されており、且つ前記映像信号配線と前記走査信号配線とが交差する部分の映像信号配線あるいは走査信号配線は前記画素電極を形成する材料と同一の材料で同一のレベルに形成されていることを特徴とする薄膜トランジスタアレイ。

【請求項 2】前記ソース・ドレイン電極と前記映像信号配線と前記ゲート電極と前記ゲート電極に接続する前記走査信号配線の各パターンの側壁部の下部領域に高抵抗半導体領域が形成されていることを特徴とする請求項 1 に記載の薄膜トランジスタアレイ。

【請求項 3】基板上の所定の領域に半導体膜を形成する工程と、ゲート絶縁膜を形成し所定の領域に開口部を形成する工程と、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記ソース・ドレイン電極及び映像信号配線とゲート電極、及び前記ゲート電極に接続する走査信号配線となる金属膜パターンを所定の領域に同一の材料で同一のレベルに同時に形成する工程と、前記金属膜パターンをマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記映像信号配線と前記走査信号配線が交差する部分の映像信号配線あるいは走査信号配線、および画素電極となる導電性薄膜を同一の材料で同一のレベルに同時に形成する工程とを少なくとも含む薄膜トランジスタアレイの製造方法。

【請求項 4】基板上の所定の領域に半導体膜を形成する工程と、ゲート絶縁膜を形成し所定の領域に開口部を形成する工程と、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記ソース・ドレイン電極及び映像信号配線とゲート電極、及び前記ゲート電極に接続する走査信号配線となる金属膜パターンを同一の材料で同一のレベルに同時に成膜する工程と、前記金属膜パターンを、側壁に堆積物を残した状態で所定の形状に加工する工程と、前記側壁堆積物を含む金属膜パターンをマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記映像信号配線と前記走査信号配線が交差する部分の映像信号配線あるいは走査信号配線、および画素電極となる導電性薄膜を同一の材料で同一のレベルに同時に形成する工程とを少なくとも含む薄膜トランジスタアレイの製造方法。

【請求項 5】基板上の所定の領域に半導体膜を形成する

工程と、ゲート絶縁膜を形成し所定の領域に開口部を形成する工程と、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線となる金属膜を同時に成膜する工程と、前記金属膜を、側壁に堆積物を残した状態で所定の形状に加工する工程と、前記側壁堆積物を含む金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記側壁堆積物を除去した後、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記映像信号配線と前記走査信号配線が交差する部分の映像信号配線あるいは走査信号配線、および画素電極となる導電性薄膜を同一の材料で同一のレベルに同時に形成する工程とを少なくとも含む薄膜トランジスタアレイの製造方法。

【請求項 6】基板上の所定の領域に半導体膜を形成する工程と、ゲート絶縁膜を形成し所定の領域に開口部を形成する工程と、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線となる金属膜パターンを所定の領域に同一の材料で同一のレベルに同時に形成する工程と、基板全面に絶縁膜を形成したのちに該絶縁膜を異方的にエッチングし前記金属膜パターンの側壁部に側壁絶縁膜を形成する工程と、前記側壁絶縁膜と前記金属膜パターンをマスクとして前記ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、前記映像信号配線と前記走査信号配線が交差する部分の映像信号配線あるいは走査信号配線、および画素電極となる導電性薄膜を同一の材

30 料で同一のレベルに同時に形成する工程とを少なくとも含む薄膜トランジスタアレイの製造方法。

【請求項 7】前記金属膜パターンを形成する工程のあと、前記金属膜パターンをマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程をさらに含む請求項 6 に記載の薄膜トランジスタアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタアレイ及び薄膜トランジスタアレイの製造方法に関するものである。

【0002】

【従来の技術】液晶表示装置やEL表示装置に用いるスイッチング用素子として、薄膜トランジスタ(TFT)が広く用いられている。TFTを用いて液晶表示装置やEL表示装置などの表示を制御するためには、表示部分の画素毎にTFTを配置する必要がある。また近年、TFTの半導体膜としてエキシマーレーザ光などの強力な光を照射して非晶質膜を溶融、結晶化する技術を用いて作製した多結晶シリコン膜が開発されている。この多結晶

シリコン膜を用いることで、従来の非晶質膜では不可能だった、表示部分のスイッチング用 TFT が形成された同じ基板上に同時に駆動回路部を形成することが可能となった。駆動回路用の TFT には n 型の半導体を用いる方法や、p 型の半導体を用いる方法、或いは n 型と p 型の両方を用いる方法など幾つかの回路構成が提案されているが、いずれにしても複数の TFT が配列された状態になっている。この様に複数の TFT が配列されたものを総称して本発明では薄膜トランジスタアレイと称しているが、この薄膜トランジスタアレイは、主として単体の TFT と TFT 間を接続する信号配線で構成されている。

【0003】従来のトップゲート型の構造を有する TFT アレイの構造を、図 6 を用いて説明する。

【0004】基板 601 上にアンダーコート膜 602 及び非晶質シリコン膜を連続的に成膜する。非晶質シリコンを真空中或いは不活性ガスで置換した雰囲気中で熱処理した後、真空中で非晶質シリコン膜にエキシマレーザー光を照射して多結晶シリコン膜 604 を形成する。多結晶シリコン膜 604 を所定のパターンに形成した後、基板全面にゲート絶縁膜 605 を成膜する（図 6 (a)）。

【0005】続いて基板全面に金属膜を成膜した後所定のパターンに加工し、ゲート電極 606 及び走査信号配線を形成する。次いでゲート電極 606 をマスクとして基板表面に n 型の不純物を注入し、多結晶シリコン膜 604 の一部にソース領域 604S 及びドレイン 604D を形成する（図 6 (b)）。

【0006】次に厚さ層間絶縁膜 607 を成膜した後、多結晶シリコン膜のソース領域 604S 及びドレイン 604D の所定の領域にコンタクトホールを形成する（図 6 (c)）。その上に A1/T1 の積層膜よりなる金属積層膜 608 を成膜した後所定のパターンでエッティング除去し、ソース電極 608S 及びドレイン電極 608D を形成する（図 6 (d)）。

【0007】その後基板全面にパッシベーション膜 609 を成膜し、ドレイン電極の一部を開口する。最後に透明導電膜を基板全面に成膜後、所定のパターンでエッティング除去して画素電極 610 を形成して TFT アレーが完成する（図 6 (e)）。

【0008】以上のように、従来の技術では、TFT のオフ電流を低減したり信頼性を高めるためのオフセット領域（不純物のドープ量がほとんどない領域）或いは LDD (Lightly Doped Drain) 領域を設けない場合でも、少なくとも 6 回のフォトリソ工程と 7 回の成膜工程が必要であった。更にオフセット領域或いは LDD 領域を必要とする場合には追加のフォトリソ工程が必要であった。

【0009】

【発明が解決しようとする課題】液晶表示装置は既にパ

ーソナルコンピュータのモニター用ディスプレイや、携帯型端末、或いはテレビ用として広く一般に普及し、市場での競争も激化しており、更なる性能向上と共にその低価格化が必須である。低価格化を実現する一つの手段が、製造工程の簡略化とそれを実現するためのデバイス構造であり、少なくとも性能を落とさずにより簡便な工程で製造可能なデバイス構造が求められている。

【0010】

【課題を解決するための手段】本発明による第 1 の薄膜トランジスタアレイは、透光性基板上に形成された、少なくともソース・ドレイン電極及びソース・ドレイン電極の何れか一方に接続する映像信号配線、ソース・ドレイン電極の他方に接続する画素電極、半導体膜、ゲート絶縁膜、ゲート電極及びゲート電極に接続する走査信号配線よりなる薄膜トランジスタアレイであって、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線が同一の材料と工程で同時に形成されており、且つ映像信号配線が走査信号配線と交差する部分の映像信号配線あるいは走査信号配線は画素電極を形成する材料と同一の工程で同時に形成されていることを特徴とする。このような構造を有することで、以下のような従来技術にない利点が生まれる。

【0011】第 1 に、従来異なる材料或いは工程を必要とした、ソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線が、同一の材料で且つ同じ工程で同時に形成されるため、材料費の削減と成膜及びフォトリソ工程の削減が実現できる。

【0012】第 2 に、従来必要だったソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線の短絡を防止するための層間絶縁膜が不要となるため、成膜工程の削減が実現できる。

【0013】第 3 に、従来ソース・ドレイン電極とゲート電極を異なる工程で加工する場合、フォトリソ工程の合わせ精度に依存した寸法マージンを付加した量だけ量電極間の距離を離す必要があったが、本発明の場合には同一のフォトリソ工程で加工できるため、両電極間の距離はフォトリソ工程の解像度に依存した量で決めることができる。その結果素子の微細化を実現でき、消費電力の低減に寄与することができる。

【0014】本発明による第 2 の薄膜トランジスタアレイは、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部を形成する工程において形成された側壁部の下部領域に高抵抗半導体領域が形成されていることを主な特徴とする。このような構造を有することで、以下のような従来技術にない利点が生まれる。

【0015】第 1 に、従来専用のフォトリソ工程が必要であったオフセット領域或いは LDD 領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとし

て形成されるため、フォトリソ工程の削減が実現できる。

【0016】第2に、前記側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数 μm のばらつきが生じていたオフセット長或いはLDD長が再現性良く形成できるようになった。その結果、特性ばらつきの小さいTFTが再現性良く安定的に作製することが可能となった。

【0017】本発明による第1の薄膜トランジスタアレイの製造方法は、透光性基板上の所定の領域に半導体膜を形成する工程と、ゲート絶縁膜を形成し所定の領域に開口部を形成する工程と、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部となる金属膜を所定の領域に同時に形成する工程と、金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程と、画素電極及び走査信号配線を接続する導電性薄膜を同時に形成する工程とを少なくとも含むことを特徴とする。このような製造方法を用いることにより、以下のような従来技術にない利点が生まれる。

【0018】第1に、ゲート絶縁膜を形成し所定の領域に開口部を形成した後ソース・ドレイン電極部の半導体表面に不純物を注入するため、低いエネルギーでの不純物の注入が可能となる。その結果、半導体表面のダメージ低減とゲート絶縁膜への不純物の打ち込みを抑制することが可能となり、信頼性の向上に寄与できる。

【0019】第2に、従来異なる材料或いは工程を必要とした、ソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線が、同一の材料で且つ同じ工程で同時に形成されるため、材料費の削減と成膜及びフォトリソ工程の削減が実現できる。

【0020】第3に、従来必要だったソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線の短絡を防止するための層間絶縁膜が不要となるため、成膜工程の削減が実現できる。

【0021】第4に、従来ソース・ドレイン電極とゲート電極を異なる工程で加工する場合、フォトリソ工程の合わせ精度に依存した寸法マージンを付加した量だけ量電極間の距離を離す必要があったが、本発明の場合には同一のフォトリソ工程で加工できるため、両電極間の距離はフォトリソ工程の解像度に依存した量で決めることができる。その結果素子の微細化を実現でき、消費電力の低減に寄与できる。

【0022】以上の結果、性能を損なわずに従来よりも低いコストでTFTアレイを製造することが可能となった。

【0023】本発明による第2の薄膜トランジスタアレ

イの製造方法は、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部となる金属膜を同時に成膜する工程と、金属膜を側壁に堆積物を残した状態で所定の形状に加工する工程と、側壁堆積物を含む金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程とを少なくとも含むことを主たる特徴とする。このような製造方法を用いることにより、以下のよう従来技術にない利点が生まれる。

10 【0024】第1に、従来専用のフォトリソ工程が必要であったオフセット領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとして形成されるため、フォトリソ工程の削減が実現できる。

【0025】第2に、側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数 μm のばらつきが生じていたオフセット長が再現性良く形成できるようになった。その結果、特性ばらつきの小さいTFTが再現性良く安定的に作製することが可能となった。

【0026】本発明による第3の薄膜トランジスタアレイの製造方法は、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部となる金属膜を同時に成膜する工程と、前記金属膜を側壁に堆積物を残した状態で所定の形状に加工する工程と、前記側壁堆積物を含む金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純

30 物を注入する工程と、前記側壁堆積物を除去した後、ソース・ドレイン電極部の半導体領域に不純物を注入する工程と、画素電極及び走査信号配線を接続する導電性薄膜を同時に形成する工程とを少なくとも含むことを主たる特徴とする。このような製造方法を用いることにより、以下のよう従来技術にない利点が生まれる。

【0027】第1に、従来専用のフォトリソ工程が必要であったLDD領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとして形成されるため、

40 フォトリソ工程の削減が実現できる。

【0028】第2に、前記側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数 μm のばらつきが生じていたLDD長が再現性良く形成できるようになった。その結果、特性ばらつきの小さいTFTが再現性良く安定的に作製することが可能となった。

【0029】本発明による第4の薄膜トランジスタアレイの製造方法は、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配

線の一部となる金属膜を所定の領域に同時に形成する工程と、基板全面に絶縁膜を形成したのちに該絶縁膜を異方的にエッチングし前記金属膜の側壁部に絶縁膜を形成する工程と、前記側壁絶縁膜と金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程とを少なくとも含むことを主たる特徴とする。このような製造方法を用いることにより、以下のような従来技術にない利点が生まれる。

【0030】第1に、従来専用のフォトリソ工程が必要であったオフセット領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとして形成されるため、フォトリソ工程の削減が実現できる。

【0031】第2に、前記側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数 μm のばらつきが生じていたオフセット長が再現性良く形成できるようになった。その結果、特性ばらつきの小さいTFTが再現性良く安定的に作製することが可能となった。

【0032】本発明による第5の薄膜トランジスタアレイの製造方法は、ソース・ドレイン電極及び映像信号配線とゲート電極、及びゲート電極に接続する走査信号配線の一部となる金属膜を所定の領域に同時に形成する工程と、前記金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程と、基板全面に絶縁膜を形成したのちに該絶縁膜を異方的にエッチングし前記金属膜の側壁部に絶縁膜を形成する工程と、前記側壁絶縁膜と金属膜をマスクとしてソース・ドレイン電極部の半導体領域に不純物を注入する工程とを少なくとも含むことを主たる特徴とする。このような製造方法を用いることにより、以下のような従来技術にない利点が生まれる。

【0033】第1に、従来専用のフォトリソ工程が必要であったLDD領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとして形成されるため、フォトリソ工程の削減が実現できる。

【0034】第2に、前記側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数 μm のばらつきが生じていたLDD長が再現性良く形成できるようになった。その結果、特性ばらつきの小さいTFTが再現性良く安定的に作製することが可能となった。

【0035】

【発明の実施の形態】（第1の実施例）本発明の実施の形態による薄膜トランジスタアレイ及び薄膜トランジスタアレイの製造方法を、（図1）～（図3）を参照して説明する。

【0036】基板101上にSiO_x膜よりなる厚さ400nmのアンダーコート膜102及び厚さ60nmの非晶質シリコン膜を連続的に成膜する。非晶質シリコンを真空中或いは不活性ガスで置換した雰囲気中で450°C、2時間熱処理した後、真空中で非晶質シリコン膜にエキシマレーザー光を照射して多結晶シリコン膜104を形成する。多結晶シリコン膜104を所定のパターンに形成した後、基板全面にSiO_x膜よりなる厚さ90nmのゲート絶縁膜105を成膜する（図1（a）、図2（a）、図3（a））。

【0037】次に、多結晶シリコン膜104上の所定領域のゲート絶縁膜105にコンタクトホールを形成する。基板全面にn型の不純物を注入し、コンタクトホール部の多結晶シリコン膜にソース領域104S及びドレイン領域104Dを形成する（図1（b）、図2（b）、図3（b））。

【0038】続いて、Ti/A1/Tiの積層膜よりなる金属積層膜106を成膜する。各金属膜の厚さは30nm/300nm/80nmとした。金属積層膜106を所定のパターンでエッチング除去し、ゲート電極106G、ソース電極106S、ドレイン電極106D、走査信号配線106GL、映像信号配線106SLを形成する。その後基板全面に200nmのSiNx膜と200nmのSiO_x膜の積層膜からなるパッシベーション膜107を成膜する（図1（c）、図2（c）、図3（c））。

【0039】パッシベーション膜107の所定の領域をエッチング除去して走査信号配線106GL、及びドレイン電極106Dの一部を開口する（図1（d）、図2（d）、図3（d））。

【0040】インジウム添加スズ酸化膜よりなる厚さ100nmの透明導電膜108を基板全面に成膜後、所定のパターンでエッチング除去し、画素電極108P及びジャンパとなる走査信号配線108GLを形成し、TFTアレイが完成する（図1（e）、図2（e）、図3（e））。

【0041】本実施例のTFTアレイ及びその製造方法は、以下のよう従来にない特徴を有する。

【0042】第1に、従来異なる材料或いは工程を必要とした、ソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線が、同一の材料で且つ同じ工程で同時に形成されるため、材料費の削減と成膜及びフォトリソ工程の削減が実現できる。

【0043】第2に、従来必要だったソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線の短絡を防止するための層間絶縁膜が不要となるため、成膜工程の削減が実現できた。

【0044】第3に、従来ソース・ドレイン電極とゲート電極を異なる工程で加工する場合、フォトリソ工程の合わせ精度に依存した寸法マージンを付加した量だけ量

電極間の距離を離す必要があったが、本発明の場合には同一のフォトリソ工程で加工できるため、両電極間の距離はフォトリソ工程の解像度に依存した量で決めることができる。その結果素子の微細化を実現でき、消費電力の低減に寄与することができた。

【0045】なお、本実施例では、図1 (e) に示したように、映像信号配線106Sと走査信号配線106Gが交差する部分では、走査信号配線を透明導電膜108によるジャンパ（走査信号配線108GL）で接続するようにしたが、逆に映像信号配線を透明導電膜108によるジャンパで接続するようにしてもよい。

【0046】また、本実施例では、ゲート電極、ソース・ドレイン電極、及び映像信号配線用としてTi/Ai/Tiの積層膜を、また画素電極及び走査信号配線の一部としてインジウム添加スズ酸化膜を用いたが、各々の材料はこれらに限定されるものではない。例えば、Ti/Ai/Tiの積層膜に代えて、Mo/Ai/Mo積層膜、Ta/Cu/Ta積層膜或いはMoW膜、Cr膜、Ta膜等をもちいることができる。またインジウム添加スズ酸化膜に代えて、Al添加酸化亜鉛膜などの異なる種類の透明導電膜をもちいることができる。更に、透過型のディスプレイではなく反射型のディスプレイとして用いる場合には、透明導電膜に代えてAl/Ti積層膜やAgPacu合金膜などのような反射率の高い金属膜を用いることも可能である。

【0047】(第2の実施例) 本発明の実施の形態による薄膜トランジスタアレイ及び薄膜トランジスタアレイの製造方法を、(図4) を参照して説明する。

【0048】基板401上に200nmのSiO_x膜と100nmのSiNx膜の積層膜よりなるアンダーコート膜402及び厚さ60nmの非晶質シリコン膜を連続的に成膜する。非晶質シリコンを真空中或いは不活性ガスで置換した雰囲気中で450℃、2時間熱処理した後、水素雰囲気中で非晶質シリコン膜にエキシマレーザー光を照射して多結晶シリコン膜404を形成する。多結晶シリコン膜404を所定のパターンに形成した後、基板全面にSiO_x膜よりなる厚さ90nmのゲート絶縁膜405を成膜する(図4(a))。

【0049】次に、多結晶シリコン膜404上の所定領域のゲート絶縁膜405にコンタクトホールを形成する。基板全面にn型の不純物を注入し、コンタクトホール部の多結晶シリコン膜を低抵抗化する(図4(b))。

【0050】続いて、Al/Tiの積層膜よりなる金属積層膜406を成膜する(図4(c))。各金属膜の厚さは300nm/80nmとした。金属積層膜406上に所定のフォトレジストパターン410を形成し、BC13とC12の混合ガスを用いたドライエッティング法を用いて金属積層膜406をエッティングする。この際金属積層膜406の側壁部には、エッティングの際に形成され

る反応生成物406SWが凡そ0.5μmから1μmの厚さで堆積する。フォトレジスト410を残したまま基板全面にn型の不純物を打ち込むことにより、多結晶シリコン膜404の一部にソース領域404S及びドレイン領域404Dを形成する。この時金属積層膜406の側壁部に形成された反応生成物406SWが不純物打ち込みのマスクとなって、金属積層膜側壁部の下に位置する半導体膜部は低ドープとなる。従ってゲート電極の端部にはソース領域404S及びドレイン領域404Dよりも高抵抗のオフセットあるいはLDD領域404Lが自己整合的に形成され、信頼性とオフ特性に優れたTFTが得られる(図4(d))。

【0051】フォトレジストと金属積層膜406の側壁部に形成された反応生成物406SWを除去した後、基板全面に300nmのSiO_x膜からなるパッシベーション膜407を成膜する。パッシベーション膜407の所定の領域をエッティング除去して走査信号配線406GL、及びドレイン電極406Dの一部を開口する(実施例1に準ずるので一部図示せず)。Al/Ti積層膜よりなる金属積層膜408を基板全面に成膜後、所定のパターンでエッティング除去し、反射電極408P及びジャンパとなる走査信号配線408GL(第1の実施例に準ずるので図示せず)を形成し、TFTアレイが完成する(図4(e))。

【0052】本実施例のTFTアレイ及びその製造方法は、実施例1で説明した特徴に加えて以下のような従来ない特徴が付加される。即ち、金属積層膜406のドライエッティング時に側壁部に形成される反応生成物は、ドライエッティング条件を制御することにより0.5μm～1μm程度の一定の厚さに制御できる。この値は従来のようなフォトリソ工程の合わせ精度に比べて非常に優れているため、この反応生成物を不純物打ち込み時のマスクとして用いることにより、特別なフォトリソ工程を必要とせずに再現性良く安定的にオフセット領域を形成することができる。その結果、非常に信頼性の高いTFTを作製することが可能となった。

【0053】本実施例では、ゲート電極、ソース・ドレイン電極、及び映像信号配線用としてAl/Tiの積層膜を、また画素電極及び走査信号配線の一部としてAl/Tiの積層膜を用いたが、各々の材料はこれらに限定されるものではない。例えば、Al/Ti積層膜に代えて、Al/Mo積層膜、Ta/Cu/Ta積層膜或いはMoW膜、Cr膜、Ta膜等をもちいることができる。また反射電極膜として、上記実施例の材料以外にもAgPacu合金膜などのような反射率の高い金属膜を用いることも可能である。

【0054】また反射電極膜代えて、インジウム添加スズ酸化膜、Al添加酸化亜鉛膜などの透明導電膜をもちいることができる。この場合には、透明導電膜と金属膜の組み合わせによっては局部電池が形成され、場合によ

っては酸化還元反応による腐食が生じる場合があるため、直接接触する材料の組み合わせに注意する必要がある。例えばインジウム添加スズ酸化膜とA1が直接接触するような組み合わせは避けるべきである。

【0055】(第3の実施例)本発明の実施の形態による薄膜トランジスタアレイ及び薄膜トランジスタアレイの製造方法を、(図5)を参照して説明する。

【0056】透光性基板501上に400nmのSiO_x膜よりなるアンダーコート膜502及び厚さ50nmの非晶質シリコン膜を連続的に成膜する。非晶質シリコンを真空中或いは不活性ガスで置換した雰囲気中で450℃、2時間熱処理した後、水素雰囲気中で非晶質シリコン膜にエキシマレーザー光を照射して多結晶シリコン膜504を形成する。Nチャンネル用の領域504N及びPチャンネル用の領域504Pを形成するため、多結晶シリコン膜504を所定のパターンにエッチングした後、基板全面にSiO_x膜よりなる厚さ90nmのゲート絶縁膜505を成膜する(図5(a))。

【0057】次に、多結晶シリコン膜504N、504P上の所定領域のゲート絶縁膜505にコンタクトホールを形成する。H₂で希釈したPH3ガスをプラズマ分解して基板表面に打ち込み、コンタクトホール部の多結晶シリコン膜を低抵抗化する(図5(b))。

【0058】続いて、A1/Tiの積層膜よりなる金属積層膜506を成膜し所定のパターンに形成した後、CVD法を用いて厚さ600nmのSiO₂膜よりなる絶縁膜507を基板全面に成膜する(図5(c))。

【0059】その後、CHF₃とArの混合ガスを用いたドライエッチング法を用いて絶縁膜507の異方性エッチングを行い、基板に平行な面の絶縁膜を除去して側壁絶縁膜507SWを残す。この側壁絶縁膜507SWの厚さは凡そ0.5μmから1μmの厚さとなる(図5(d))。

【0060】次いで、H₂で希釈したPH3ガスをプラズマ分解してリンを基板全面に打ち込むことにより、Nチャンネル領域の多結晶シリコン膜504Nの一部にソース領域504NS及びドレイン領域504NDを形成する。この時側壁絶縁膜507SWが不純物打ち込みのマスクとなって、ソース領域504NS及びドレイン領域504NDよりも高抵抗のオフセットあるいはLDD領域504NLが形成される(図5(d))。続いて、NチャンネルのTFT領域のみをフォトレジスト508で覆った後、H₂で希釈したB2H6ガスをプラズマ分解してボロンを基板全面に打ち込むことにより、Pチャンネル領域の多結晶シリコン膜504Pの一部にソース領域504PS及びドレイン領域504PDを形成する(図5(e))。

【0061】フォトレジスト508を除去した後、基板全面に厚さ200nmのSiNx膜からなるパッシバーション膜509を成膜し、パッシバーション膜509の

所定の領域をエッチング除去して走査信号配線506GL、及びドレイン電極506Dの一部を開口する(実施例1に準ずるので一部図示せず)。インジウム添加スズ酸化膜よりなる厚さ100nmの透明導電膜を基板全面に成膜後、所定のパターンでエッチング除去し、画素電極及びジャンパとなる走査信号配線等を形成し、TFTアレイが完成する(図5(f))。

【0062】本実施例のTFTアレイ及びその製造方法を用いることで、実施例1で説明した特徴に加えて以下のようないくつかの特徴が付加される。

10 即ち側壁絶縁膜507Eは、ドライエッチング条件を制御することにより0.5~1μm程度の一定の厚さに制御できる。この値は従来のようなフォトリソ工程の合わせ精度に比べて非常に優れているため、この側壁絶縁膜を不純物打ち込み時のマスクとして用いることにより、特別なフォトリソ工程を必要とせずに再現性良く安定的にオフセットあるいはLDD領域を形成することができる。その結果、非常に信頼性の高いTFTを作製することが可能となつた。

20 【0063】

【発明の効果】本発明の薄膜トランジスタおよびその製造方法によれば、

(1) 従来異なる材料或いは工程を必要とした、ソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線が、同一の材料で且つ同じ工程で同時に形成されるため、材料費の削減と成膜及びフォトリソ工程の削減が実現できる。

【0064】(2) 従来必要だったソース・ドレイン電極を含む映像信号配線とゲート電極を含む走査信号配線の短絡を防止するための層間絶縁膜が不要となるため、成膜工程の削減が実現できる。

【0065】(3) 従来ソース・ドレイン電極とゲート電極を異なる工程で加工する場合、フォトリソ工程の合わせ精度に依存した寸法マージンを付加した量だけ量電極間の距離を離す必要があったが、本発明の場合には同一のフォトリソ工程で加工できるため、両電極間の距離はフォトリソ工程の解像度に依存した量で決めることができる。その結果素子の微細化を実現でき、消費電力の低減に寄与することができる。

40 【0066】(4) 従来専用のフォトリソ工程が必要であったオフセット領域或いはLDD領域の形成が、電極パターンの形成時、若しくは電極パターン形成後の次工程処理時に自己整合的に形成される側壁部をマスクとして形成されるため、フォトリソ工程の削減が実現できる。またこの側壁部は、電極パターン形成時の処理条件若しくは電極パターン形成後の次工程処理時の条件で再現性良く所定の形状に定まる。そのため、従来フォトリソ工程の合わせ精度に依存して数μmのばらつきが生じていたオフセット長或いはLDD長が再現性良く形成できる。

【0067】以上の効果を、デバイスに要求される機能

に応じて独立に、或いは組み合わせて用いることで、特性ばらつきの小さいTFTを再現性良く安定的に作製することができる。

【図面の簡単な説明】

【図1】本発明の実施例1による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す上面図

【図2】本発明の実施例1による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す断面構造図

【図3】本発明の実施例1による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す断面構造図

【図4】本発明の実施例2による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す断面構造図

【図5】本発明の実施例3による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す断面構造図

【図6】従来例による薄膜トランジスタの構成、及び薄膜トランジスタの製造方法を示す断面構造図

【符号の説明】

101 基板

102 アンダーコート膜

104 多結晶シリコン膜

105 ゲート絶縁膜

106 金属積層膜

106G ゲート電極

106S ソース電極

106D ドレイン電極

106GL 走査信号配線

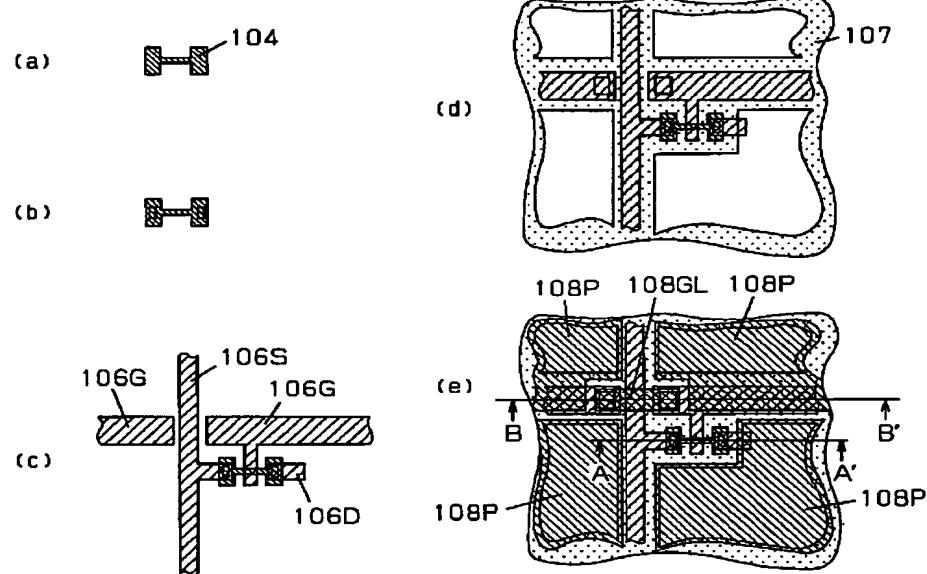
106SL 映像信号配線

107 パッシベーション膜

108 透明導電膜

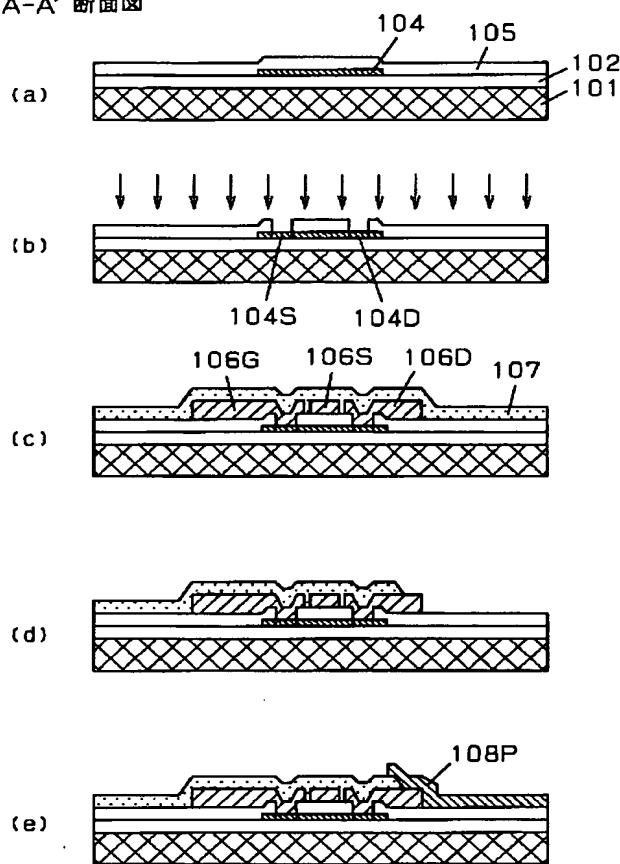
108P 画素電極

108GL 走査信号配線



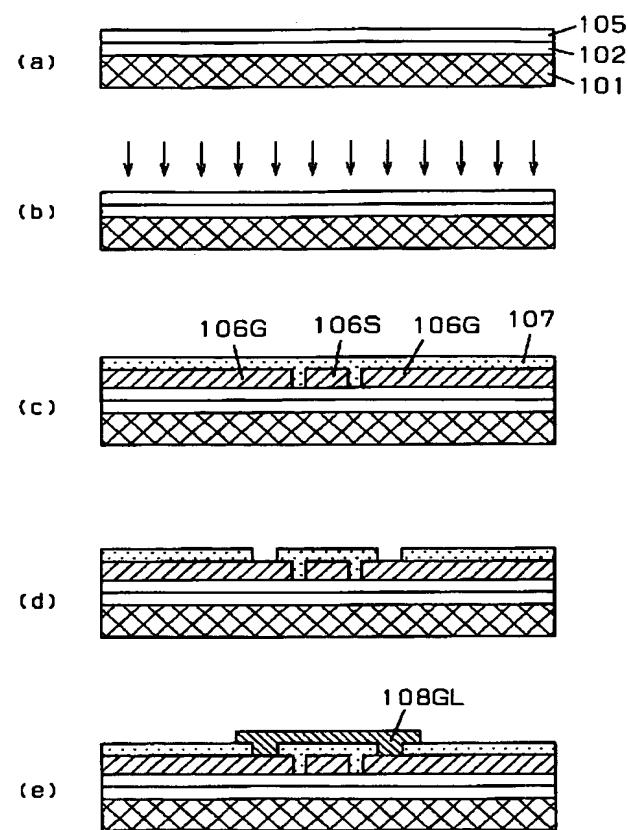
【図 2】

A-A' 断面図

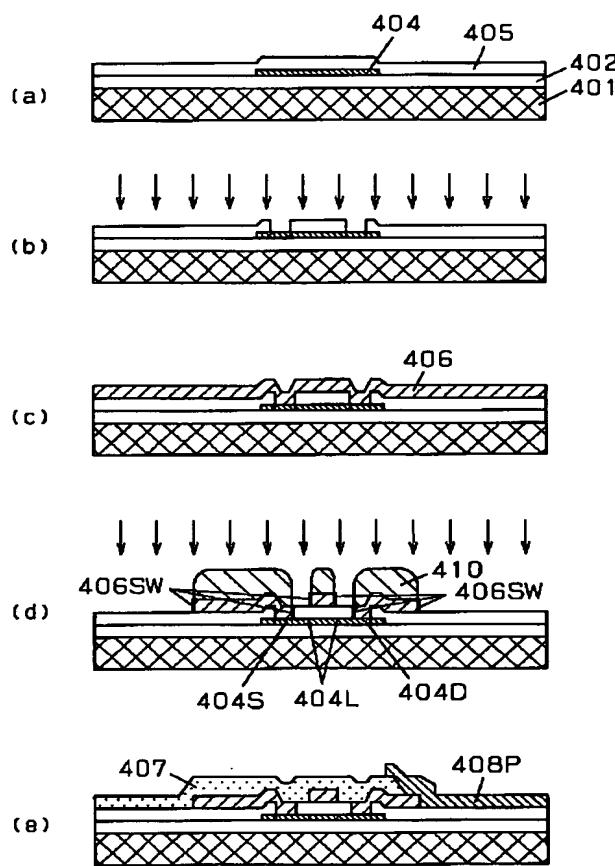


【図 3】

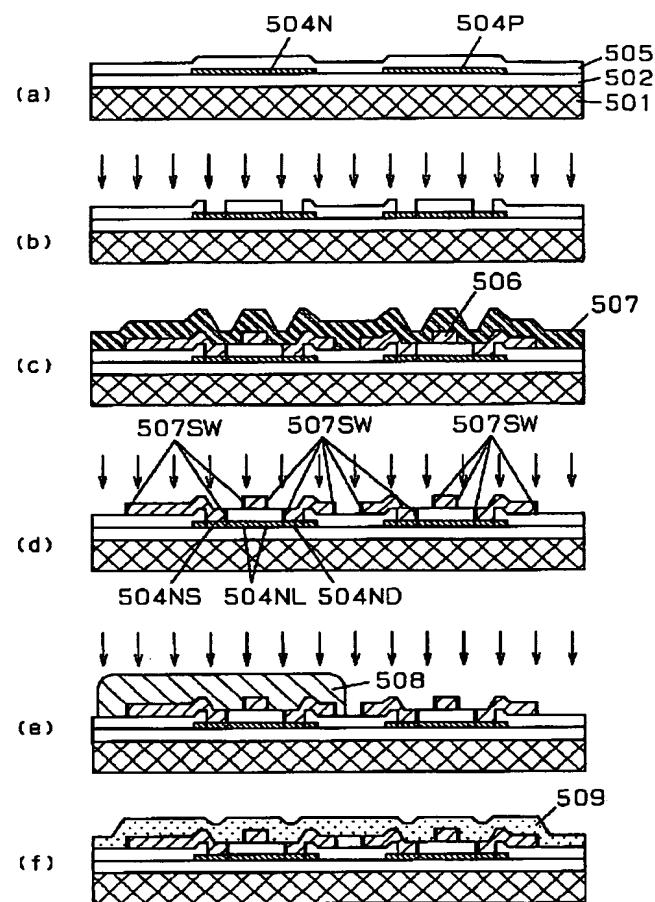
B-B' 断面図



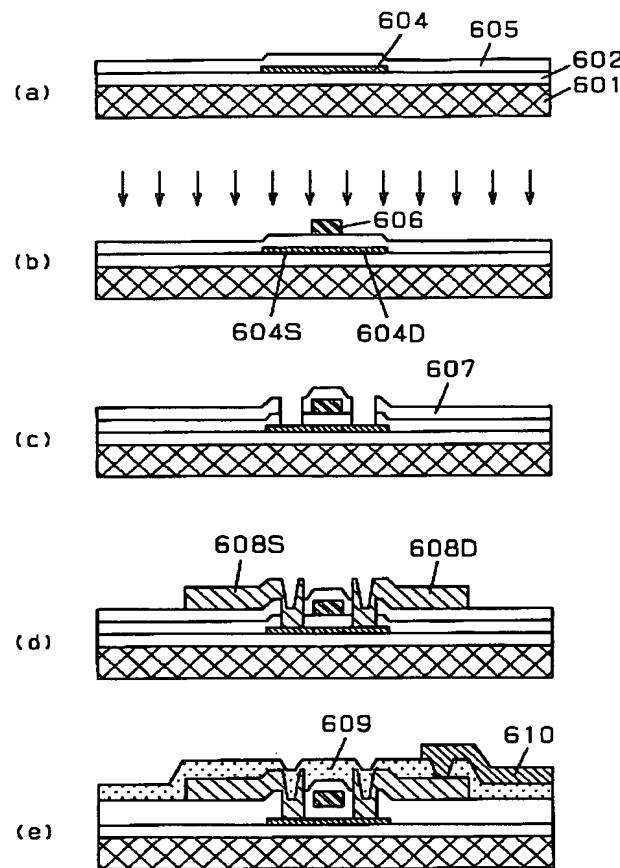
【図 4】



【図 5】



【図 6】



フロントページの続き

F ターム(参考) 2H092 JA25 JA29 JA33 JA35 JA38
JA39 JA40 JA42 JA43 JA44
JA46 JA47 JB13 JB23 JB24
JB27 JB32 JB33 JB36 JB38
JB52 JB57 JB63 JB69 KA04
KA07 KA12 KA16 KA18 KB14
KB22 KB24 MA05 MA07 MA13
MA17 MA27 MA30 MA35 MA37
MA41 NA24 NA25 NA27
5C094 AA03 AA22 AA43 AA44 BA03
BA43 CA19 EA04 EA07 EB05
FB14 GB10 HA08 JA08
5F110 AA09 AA16 BB01 BB04 CC02
DD13 DD14 DD17 EE02 EE03
EE04 EE06 EE14 EE15 EE31
FF02 GG02 GG13 GG25 HL03
HL04 HL06 HL11 HL12 HM14
HM15 NN03 NN04 NN23 NN24
NN72 PP03 PP35 QQ08 QQ10
QQ11

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.